

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-272208

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

G01B 11/00
G03F 9/00
H01L 21/02
H01L 21/027

(21)Application number : 2000-087008

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.2000

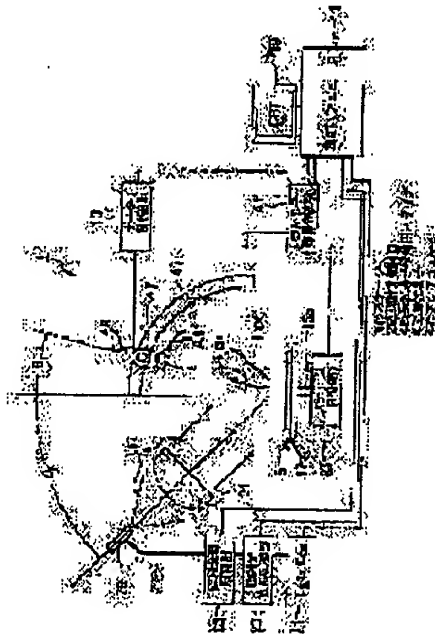
(72)Inventor : KITAGAWA TAKAHIRO

(54) SUPERPOSING DEVIATION INSPECTION APPARATUS, AND MARK FOR INSPECTING SUPERPOSING DEVIATION AND SUPERPOSING DEVIATION INSPECTION METHOD

(57)Abstract

PROBLEM TO BE SOLVED: To provide a superposing deviation inspection apparatus, marks for inspecting superposing deviations and overlap deviation inspection method, which enable automatic inspection of the presence of a superposing deviation in a shorter time between a lower layer pattern and a resist pattern, in a lithographic process during the production process of semiconductors.

SOLUTION: There are arranged a state 17, which carries a substrate S containing a lower layer patterns 61 that is designed to be arranged alternately to make a diffraction grating with a cycle width (p), a pattern for forming an element as resist pattern 65 and marks 60 to be inspected formed individually along with the resist pattern, an irradiation element 29 which radiates a parallel monochromatic light LI having a wavelength λ for irradiating the marks 60 from the direction that gives the cycle (p) at an arbitrary angle θ_i of incidence, a photodetection means 45 for detecting a m-th order diffraction light LDm generated from the marks 60 as irradiated with the parallel monochromatic light LI and a determining means 13 to determine the presence of a superposing deviation between the lower layer pattern 61 and the resist pattern 65, based on the expression $p(\sin\theta_m - \sin\theta_i) = \pm m\lambda$ obtained from the cycle p, incidence angle θ_i , exiting angle θ_m of the m-th order diffraction light LDm.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J F)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-272208

(P2001-272208A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int. Cl. ⁷	識別記号	F I	テグコード (参考)
G 0 1 B 11/00		G 0 1 B 11/00	G 2 F 0 6 5
G 0 3 F 9/00		G 0 3 F 9/00	H 5 F 0 4 6
H 0 1 L 21/02		H 0 1 L 21/02	A
21/027		21/30	6 0 2 Z
			6 0 2 M

審査請求 未請求 請求項の数18 O L (全 13 頁)

(21) 出願番号 特願2000-87008 (P2000-87008)

(22) 出願日 平成12年3月27日 (2000.3.27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 北川 隆 宏

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100004285

弁理士 佐藤 一雄 (外3名)

Fターム (参考) 2F065 AA03 BB02 BB27 CC19 FF48

GG02 GG22 HH03 HH12 HH16

JJ03 JJ08 JJ26 LL23 LL24

LL42 NN06 PP22 UU07

5F048 EA07 EB01 FA03 FA09 FB12

FB13 FC04

(54) 【発明の名称】 重ね合わせずれ検査装置、重ね合わせずれ検査用マークおよび重ね合わせずれ検査方法

(57) 【要約】

【課題】 半導体の製造工程中のリングアップ工程において、下層パターンとレジストパターンとの重ね合わせずれの有無を短時間でかつ自動的に検査することができる重ね合わせずれ検査装置、重ね合わせずれ検査用マークおよび重ね合わせずれ検査方法を提供する。

【解決手段】 交互に配置されて周期幅 p の回折格子をなすように設計された下層パターン61とレジストパターン65であって素子形成用のパターンとレジストパターンとともにそれぞれ形成された被検査マーク60を含む基板Sを搬送するステージ17と、波長 λ の平行単色光 L を発生させ任意の入射角 θ_i で周期 p を与える方向から被検査マーク60に照射する照射素子29と、平行単色光 L の照射を受けて被検査マーク60から発生する m 次回折光 L_{pm} を検出する受光手段45と、周期 p と波長 λ と入射角 θ_i と m 次回折光 L_{pm} の射出角 θ_{rm} との関係式 $p(\sin \theta_{rm} - \sin \theta_i) = \pm m\lambda$ に基づいて下層パターン61とレジストパターン65との重ね合わせずれの有無を判定する判定手段13と、を備える。

